

CLIPPEDIMAGE= JP409260676A
PAT-NO: JP409260676A
DOCUMENT-IDENTIFIER: JP 09260676 A
TITLE: MANUFACTURE OF THIN-FILM TRANSISTOR

PUBN-DATE: October 3, 1997

INVENTOR-INFORMATION:

NAME

SHIYOUYA, YOUKO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SHARP CORP

N/A

APPL-NO: JP08070022

APPL-DATE: March 26, 1996

INT-CL (IPC): H01L029/786; H01L021/336 ;
H01L021/20 ; H01L021/268

ABSTRACT:

PROBLEM TO BE SOLVED: To enable a silicon layer in crystallinity through a simple process, when an amorphous silicon layer is crystallized by laser annealing for the manufacture of a thin-film transistor.

SOLUTION: A light screening layer 12 of high-melting metal is formed on the upside of a substrate 11, an amorphous silicon layer 14 is formed thereon through the intermediate of an ultraviolet transmitting interlayer film 13, and

the silicon layer 14 is subjected to an element isolation process and then irradiated with a laser beam at an angle with its surface of annealing. By this setup, both sides of the amorphous silicon layer 14 are irradiated with a laser beam 15 at the same time, whereby a formed crystalline silicon layer is made uniform in a crystalline state, and a thin film transistor formed of the crystalline silicon layer can be improved in characteristics.

COPYRIGHT: (C)1997, JPO

特開平9-260676

(43) 公開日 平成9年(1997)10月3日

(51) Int. Cl. ⁶

識別記号

F I

H01L 29/786

H01L 29/78

627

G

21/336

21/20

21/20

21/268

Z

21/268

審査請求 未請求 請求項の数3 O L (全5頁)

(21) 出願番号

特願平8-70022

(22) 出願日

平成8年(1996)3月26日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 勝冶 洋子

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

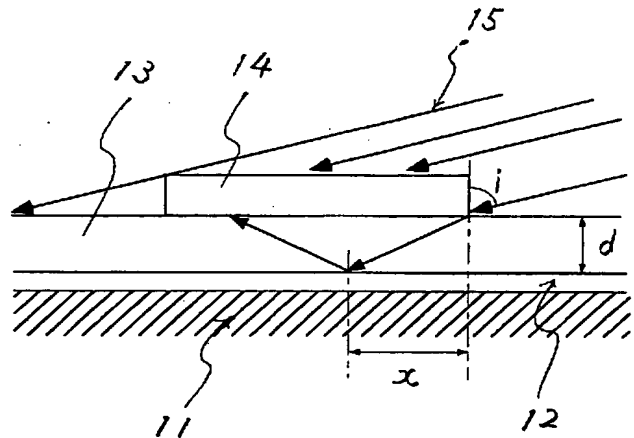
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【課題】 非晶質シリコンをレーザアニールにより結晶化して薄膜トランジスタを製造する際に、簡単なプロセスによりシリコンの結晶性を向上させる。

【解決手段】 基板11の上面に高融点金属からなる遮光層12を形成し、その上部に紫外光透過性を有する層間膜13を介して非晶質シリコン層14を形成し、そのシリコン層を素子分離した後のプロセスにおいて斜めからレーザ光15を照射してレーザアニールを行う。これにより、一度に非晶質シリコン層14の両面にレーザ光15が照射されるので、形成されたシリコンの結晶状態が均一となると共に、トランジスタ特性を向上することができる。



【特許請求の範囲】

【請求項 1】 レーザアニール法により多結晶シリコン半導体を形成する薄膜トランジスタの製造方法において、

基板上面に遮光層を形成する工程と、

層間膜を形成する工程と、

非晶質シリコン層を形成する工程と、

レーザ光を基板斜め方向から照射することにより前記非晶質シリコン層の両面に入射させる工程とを含むことを特徴とする薄膜トランジスタの製造方法。

【請求項 2】 前記層間膜が、紫外光透過性を有することを特徴とする請求項 1 記載の薄膜トランジスタの製造方法。

【請求項 3】 前記遮光層が、紫外光反射率の高い材料からなることを特徴とする請求項 1 記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、多結晶シリコン半導体薄膜を活性領域に用いた薄膜トランジスタ（以下、TFTと称する）の製造方法、特にシリコン層のアニール処理方法に関する。

【0002】

【従来の技術】 液晶表示装置においては画面の拡大化及び低コスト化等の要望から、半導体層として多結晶シリコン半導体を安価な低融点ガラス基板上に形成するための低温プロセス技術の開発が盛んに行われている。多結晶シリコン薄膜をTFTの活性層として低融点ガラス基板上に600℃以下の低温で作成する技術としては、低融点ガラス基板上に非晶質シリコン膜を堆積し、これにレーザ光を照射し、瞬時に熔融させ再結晶化させるレーザアニール法がよく知られている。この方法は、スポット状やライン状のレーザビームをガラス基板上に走査させることにより短時間で処理でき、しかもガラス基板表面のみを加熱するので基板への熱的影響が少なく、実用性が高い。

【0003】 レーザアニール法においては、従来、大出力で照射面積の広いエキシマレーザ光を用いてシリコンを結晶化させるエキシマレーザアニール法が主流である。一般的には、基板上のシリコン薄膜の上方からエキシマレーザを照射する手法が取られている。多結晶シリコン薄膜はある大きさの分布を持ったシリコンの単結晶粒が集合したものであり、その単結晶粒同士が接する部分に結晶粒界が形成される。多結晶シリコン薄膜の電気的特性は結晶粒径および結晶粒界の格子欠陥密度によって左右されるので、半導体装置を製造する場合は単結晶粒あるいは可能な限り結晶粒界の少ない大粒径の結晶粒により半導体装置の活性層を構成することが望ましい。活性層中に結晶粒界が多数存在すると、この結晶粒界に沿ってリーク電流が流れることになり、TFTの特性を

著しく損なうからである。また、結晶粒界の少ない半導体層を得るには、レーザ光照射により半導体層を瞬時に加熱熔融させた後にできるだけ長い時間をかけて冷却するのが良いとされている。

【0004】 しかしながら、通常のエキシマレーザアニール処理では半導体層のレーザ光照射面から約40nmの深さまでしか十分に熱が届かないため、それよりも深いところでは結晶性が向上しない。その上、半導体層の厚み方向の温度勾配が大きいため十分に加熱された浅い部分が急冷され、多数の結晶核が発生して結晶粒径が小さくなる。結果として半導体層厚み方向に不均一な粒径が生じ、全体として結晶性は劣ることとなる。

【0005】 この問題を解決するために、特開平5-82466号公報にはレーザ光をガラス基板の両側から照射して半導体層の結晶性を向上させる方法が開示されている。上記公報によれば、レーザ光照射を半導体層の両面から行うので、厚みが40μmを越える半導体層のアニール処理を行う場合に特に効果的である。

【0006】

【発明が解決しようとする課題】 上記公報による手法によれば、レーザ光照射を半導体層の両面から行うので、厚みが40μmを越える半導体層をアニール処理する場合に特に効果的である。しかしながら、レーザ光を半導体層の下面から照射することに伴って、使用する基板は紫外線透過性を有するものに限定されることや、2台のレーザ光発生装置が必要であること等の不具合が生じていた。さらに、近年、盛んに開発が行われている投影型液晶表示装置のように、基板表面に光電流の発生を防止するための遮光膜を設けることが不可欠である場合には、上記公報による手法は無効であった。

【0007】

【課題を解決するための手段】 本発明のTFTの製造方法は、レーザアニール法により多結晶シリコン半導体を形成するTFTの製造方法において、基板上面に遮光層を形成する工程と、層間膜を形成する工程と、非晶質シリコン層を形成する工程と、レーザ光を基板斜め方向から照射することにより前記非晶質シリコン層の両面に入射させる工程とを含むことを特徴とし、そのことにより上記目的が達成される。

【0008】 好ましくは、前記層間膜が紫外光透過性を有する。

【0009】 また好ましくは、前記遮光層が紫外光反射率の高い材料からなる。

【0010】 以下、上記構成による作用について説明を行う。

【0011】 本発明のTFTの製造方法は、基板上面に遮光層を形成する工程と、層間膜を形成する工程と、非晶質シリコン層を形成する工程と、レーザ光を基板斜め方向から照射することにより前記非晶質シリコン層の両面に入射させる工程とを含む。これにより、レーザ光の

一部が一旦、層間膜へ入射した後、遮光層で反射することによって再び層間膜を透過して非晶質シリコン膜の下面に入射するので、レーザ光が基板を透過することなく一度に非晶質シリコン層の両面に照射される。

【0012】また、層間膜が紫外光透過性を有することによりレーザ光が層間膜を透過することが可能となる。

【0013】さらに、遮光層が紫外光反射率の高い材料からなることにより、層間膜に入射したレーザ光が高い反射率で反射する。同時に、基板下面から入射する光の遮光率も高いため、TF Tにおける光電流の発生を防止することができる。さらには、遮光層が熱伝導度性の良好な材料で形成されたので入射光による基板全体の温度上昇を防止することができる。

【0014】

【発明の実施の形態】本発明の実施の形態について、図面に基づき以下に説明を行う。

【0015】図1は、本発明のTF Tの製造方法の基本概念を示す図である。

【0016】図1において、ガラス等からなる基板11上に遮光層12として金属膜等の光反射膜を形成する。その上に層間膜13を形成し、TF Tの半導体層となる非晶質シリコン膜14を形成する。この後、基板上面に対して斜め方向から非晶質シリコン膜14をアニール処理するためのレーザ光15を照射する。レーザ光15は非晶質シリコン膜14の上面に直接入射する以外に、一旦、層間膜13に入射して遮光層12で反射した後に非晶質シリコン膜14の下面に入射することによって非晶質シリコン膜14を両面から瞬時に加熱熔融する。熔融した非晶質シリコン膜14が冷却されるに従い、再結晶化が進行する。

【0017】ここで、上記のレーザ光の基板11法線方向に対する入射角 i 、層間膜13の厚み d 及び屈折率 n 、レーザ光が基板上の一点へ入射してから基板水平方向へ進む距離 x の関係は空気の屈折率を1.00とすると以下のように書くことができる。

【0018】

$$n = \{ \sin i (x^2 + d^2)^{1/2} \} / x^2 \quad \cdots \textcircled{1}$$

上記①式に基づきレーザ光の照射条件、層間膜の形成条件等を最適化することが可能となる。

【0019】以下、さらに詳細に本発明の実施の形態について説明を行う。

【0020】まず、本発明の手法により作製したTF Tの構成について説明を行う。

【0021】図2(a)は基板上に形成されたTF Tの上面図であり、図2(b)は図2(a) B-B'断面図である。

【0022】図2(a)及び(b)において、基板21上に遮光膜22、層間膜23、その上に島状に分離された半導体層であるシリコン膜24が備えられている。さらにこの上にゲート絶縁膜25が形成され、この上にゲ

ート電極26が設けられている。これらを被覆するように層間絶縁膜27が形成され、これらを貫通するコンタクトホール28を介して金属配線29が下部の半導体層のソース及びドレイン領域と接続している。図2(b)中のレーザ光のスキャン方向については後述する。

【0023】次に、本発明のTF Tの製造方法を説明する。

【0024】図3(a)～(l)は、本実施形態におけるTF Tの製造工程を示す断面図である。図3(a)～(f)は図2のA-A'断面の製造方法を示す図であり、図3(g)～(l)は図2のB-B'断面の製造方法を示す図である。

【0025】図3(a)及び(g)において、透明基板31上に膜厚400nmのタンタル(Ta)を例えばスパッタ法を用いて成膜することにより遮光膜32を形成する。次にこの上に透明基板全面を覆うようにしてSiO₂をプラズマCVD法により厚さ1μmの膜を形成し、層間膜33とする。さらに、この上からプラズマCVD法により100nmの非晶質シリコンを成膜する。その後、図3(b)及び(h)に示すように、非晶質シリコンをドライエッチング法を用いて島状に素子分離を行い、シリコン膜34とする。

【0026】次に図3(c)及び(i)のように、エキシマレーザ光35を基板面に対して約15°の角度で図2(a)に示した方向の一方に走査しながら照射し、シリコン膜34の熔融結晶化を行う。また、この後、図3(d)及び(j)のようにレーザ光35の走査方向を180°変えて、先程と逆方向に再度走査しながら照射する。照射したエキシマレーザ光はシリコン膜の表面に吸収されると同時に、シリコン膜34のないところではSiO₂膜を透過し、下側の遮光膜32で反射した後、シリコン膜34の下面に照射吸収される。この結果、上記のアニール法ではシリコン膜34はほとんど同時に上下面からレーザ光照射されることになるため厚さ100nmのシリコン膜34の厚さ方向の全域にわたって均一にアニールされることとなる。シリコン膜34の上下面で温度が上昇するため温度勾配による熱の逃げも遅くなり大きな結晶粒を得ることができる。

【0027】その後、図3(e)及び(k)のようにゲート絶縁膜36、金属によるゲート電極37を公知の半導体製造プロセスによって作製し、イオン注入法を用いてソース及びドレイン領域38を形成する。さらに図3(f)及び(l)のようにして層間絶縁膜39を形成後、この層間絶縁膜39及びゲート絶縁膜36にコンタクトホール40を穿設し、上部の金属配線41と接続する。

【0028】以上のような構成とすることにより、本実施形態のTF Tの電気的特性は移動度が高くなる、しきい値電圧が低下する、スイングが小さくなる、リーク電流が低減する等、高性能化を図ることができた。また、

遮光膜が形成されたので光電流の発生を防止し、光による基板の温度上昇も抑制することができた。

【0029】尚、遮光膜を形成する材料としては、本実施形態においてはTaを用いたが、この他にも、レーザ光照射による熔融結晶化に耐え、熱伝導性が良好で、紫外光波長、特にエキシマレーザ波長で高い反射率を有するものが好ましい。ここでいう高い反射率とは、40%以上のことを言う。また、以上のような条件を満たすものとしてTa以外にも例えばPt、Ti、Ni等の金属を用いることができる。

【0030】また、層間膜はSiO₂以外にもSiO_x等、エキシマレーザ光が透過するものならば使用可能であり、その形成方法も遮光膜の変質しない方法であればCVD法でもスパッタ法でもよい。

【0031】さらに、レーザ光の入射角度、半導体層の下面にレーザ光が照射される幅、層間膜の厚さ及びその屈折率は前述の①式によって最適条件を決定することができる。本実施形態ではシリコン膜の幅を3μmとし、層間膜として屈折率が1.47、厚み1μmのSiO₂を用いたので、レーザ光を基板水平方向に対して15°の角度で入射させると、層間膜上への入射点から1.7μmの領域まで半導体層の下面に光が照射された。すなわち、半導体層の端部から最大1.7μmの幅の領域に下面からレーザ光が照射されることとなり、さらに逆方向へのレーザ光照射を行えば、本実施形態で製造したTFETのようにチャネル幅が3μm程度のトランジスタであればシリコン膜の両面に十分にレーザ光が照射された。これにより、シリコンの活性層全面にわたりその結晶性を向上させることが可能となった。

【0032】尚、遮光膜は全面に形成される必要はなく島状に形成してもよいが、この場合には下面への反射光が得られる程度、シリコンのアイランドよりも大きくする必要がある。

【0033】

【発明の効果】以上説明したように、本発明のTFETの製造方法は、基板上面に遮光層を形成する工程と、層間膜を形成する工程と、非晶質シリコン層を形成する工程と、レーザ光を基板斜め方向から照射することにより前記非晶質シリコン層の両面に入射させる工程とを含む。これにより、レーザ光の一部が一旦、層間膜へ入射した後、遮光層で反射することによって再び層間膜を透過して非晶質シリコン層の下面に入射するので、レーザ光が基板を透過することなく一度に非晶質シリコン層の両面に照射される。この結果、非晶質シリコン層の厚みが4

0μmを越える場合にも膜厚方向を均一に加熱することができるので、加熱後、厚み方向の温度勾配が小さくなり良好な粒界を有する多結晶シリコン層を得ることが可能となる。また、従来のように使用する基板が紫外光透過性を有するものに限定されず、非晶質シリコン層の下面へのレーザ光照射を効果的に行うことができる。

【0034】また、層間膜が紫外光透過性を有することにより、レーザ光が層間膜を透過してシリコン層の下面に照射される。

10 【0035】さらに、遮光層が紫外光反射率の高い材料からなることにより、層間膜に入射したレーザ光が高い反射率で反射する。同時に基板下面から入射する光に対する遮光率が高いので、TFETにおける光電流の発生を防止することができる。さらには、熱伝導度性が良好であるので入射項による基板全体の温度上昇を防止することができる。

20 【0036】以上説明したように、本発明によれば、TFETのシリコン活性層のレーザアニール処理において、金属遮光層を利用して半導体層に両面からレーザビームを照射するので、半導体層の結晶欠陥等を減少させることができ、高性能なTFETを提供することが可能となる。

【図面の簡単な説明】

【図1】本発明のTFETの製造方法の基本概念を示す図である。

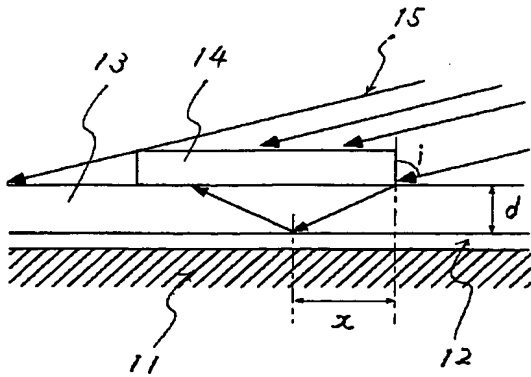
【図2】(a)及び(b)は基板上に形成されたTFETの上面図及び断面図である。

【図3】本実施形態におけるTFETの製造工程を示す断面図であり、(a)～(f)は図2のA-A'断面の製造方法を示す図であり、(g)～(l)は図2のB-B'断面の製造方法を示す図である。

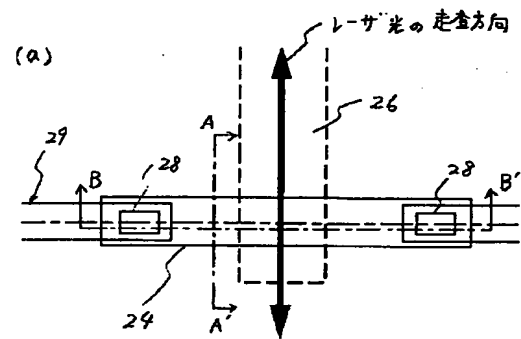
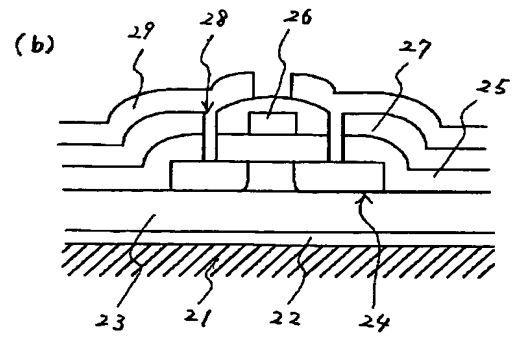
【符号の説明】

11、21	基板
12、22、32	遮光層
13、23、33	層間膜
14、24、34	シリコン膜
15、35	レーザ光
25、36	ゲート絶縁膜
26、37	ゲート電極
27、39	層間絶縁膜
28、40	コンタクトホール
29、41	金属配線
31	透明基板
38	ソース及びドレイン領域

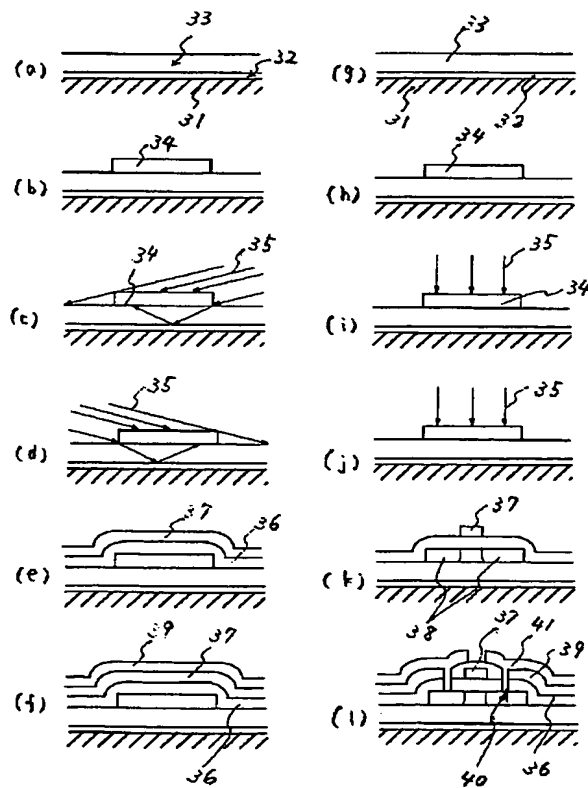
【図 1】



【図 2】



【図 3】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.